СРАВНЕНИЕ ПРОЦЕССОВ РАЗРАБОТКИ ПРИЛОЖЕНИЙ В СИСТЕМАХ JTAG PROVISION И JTAG LIVE STUDIO. Часть 1

АЛЕКСЕЙ ИВАНОВ, консультант, JTAG, Alexey@jtag.com

Компания JTAG Technologies выпустила на рынок бюджетный программноannapamный пакет периферийного сканирования под названием JTAG Live Studio. Несмотря на информацию на сайте и опубликованный пресс-релиз, работникам предприятий радиоэлектронной отрасли все-таки сложно понять, каковы реальные возможности и ограничения данного комплекса. В статье подробно рассматриваются эти вопросы на конкретных примерах.

При знакомстве с пакетом Studio, в первую очередь, следует обратить внимание на отсутствие необходимости в преобразовании данных из САПР и отсутствие встроенных библиотек моделей, описывающих функционал «кластеров» различных типов и производителей. Напомним, что «кластерами» в технологии периферийного сканирования называются компоненты, не поддерживающие периферийное сканирование, но имеющие функциональную модель, которая позволяет тестировать связи с ними за счет окружающих JTAG-компонентов (поддерживающих периферийное сканирование). Отсюда следует важное отличие JTAG Live Studio от профессиональных систем, таких как JTAG ProVision: система проектирования «не знает» вашу плату, все ее цепи и работу логических узлов. Studio владеет информацией только о JTAG-компонентах и их выводах, а все остальные узлы описываются пользователем по мере необходимости. Таким образом, она не сможет автоматически анализировать цепи и создавать тесты и приложения для программирования флэш-памяти с помощью генерации тестовых векторов. Таким образом, что-то о тестируемой плате знать необходимо. Однако, как станет ясно из дальнейшего изложения, знать следует только в том случае, если требуется на базе Studio построить полноценный набор тестов, покрывающий максимальное число цепей. Если речь идет о тестировании связей между двумя или более JTAG-компонентами, создание приложения автоматизируется с помощью встроенной в Studio программы AutoBuzz, снимающей карту соединений с заранее исправной платы. Отсутствие импорта нетлистов (списков соединений) из САПР делает невозможной и автоматическую диагностику: если нет названия цепей, где показывать дефект? В то же время это дает и преимущество: можно тестировать изделия, на которые отсутствует электронная документация.

В настоящее время существуют не только полностью автоматизированные системы периферийного сканирования с поддержкой любых САПР и любых компонентов, но и бюджетные, обеспечивающие необходимый минимум. Первые хороши для сложных изделий с большим количеством цепей либо для более простых цифровых плат, но требующих точной автоматической диагностики с указанием оператору на тип дефекта и его местоположение. Вторые хороши при ограниченном бюджете на средства периферийного сканирования, когда имеется острая необходимость проверять целостность цепей и узлов. Следует заметить, что JTAG Live Studio позволяет создать любые тесты, многие из которых, однако, требуют квалификации инженераразработчика. Тем не менее, многие ожидали появление такого пакета для того, чтобы решать задачи не электроконтроля серийной продукции, а, скажем, отладки опытных образцов. Функционала JTAG Live Studio достаточно, чтобы проверить связь определенного процессора с периферийным устройством, не потратив чересчур много усилий. А некоторые разработчики-программисты умудряются на встроенном в Studio языке Python проверить все цифровые узлы платы.

Чтобы читателю стала понятна принципиальная разница между подходами к созданию тестов и приложений в профессиональной системе на основе JTAG ProVision и в JTAG Live Studio, мы отобрали несколько типов задач для одной платы и описали их решение для всех случаев.

ТЕСТИРУЕМОЕ ИЗДЕЛИЕ

Для сравнения взята тренировочная плата JTAG Technologies JT2165 (см. рис. 1).

Основные цифровые узлы платы (выборочно):

- ПЛИС EP3C16F484C8N;
- процессор LPC2468FET208 (ядро ARM7);
- Ethernet-приемопередатчик KSZ8041;
- USB-контроллер ISP1763;
- O3Y SDRAM DDR2 MT47H64M8;
- ПЗУ с последовательным интерфейсом M25P16VM;
- акселерометр ММА7660FC (интерфейс I2C);
- термометр TCN75AV (интерфейс I2C);
- контроллер сенсорного экрана ADS7843 (интерфейс I2C);
- другие устройства.

РАЗРАБОТКА ТЕСТОВ, ТЕСТИРОВАНИЕ И ДИАГНОСТИКА ДЕФЕКТОВ В JTAG PROVISION Подготовительный этап

При работе с JTAG ProVision используется автоматическая генерация тестов на основе данных из САПР. Следовательно, на самом первом этапе при разработке тестов выполняется импорт списка соединений и, опционально, BOM-файла тестируемого изделия. Таким образом, система получает необходимую информацию о названиях всех компонентов платы, их выводах и связях между собой. Отметим, что в JTAG Live Studio этот процесс заменяется подключением контроллера периферийного сканирования к тестируемой плате и автоопределением цепочки JTAG-компонентов.

Следующий этап подготовки определение моделей компонентов. При установке JTAG ProVision на ПК пользователя также устанавливается обширная библиотека функциональных моделей компонентов (более 100 тыс. наименований). Модель может содержать информацию о функциях компонента, таблицы вхолных и выхолных сигналов, тестовые последовательности, процедуры отключения. Модели компонентов для платы JT2156 определяются автоматически: по названиям их в проекте САПР сама распознает их и находит подходящие в установленной библиотеке. Если по каким-то причинам модель на компонент отсутствует, то техническая поддержка JTAG Technologies создает ее при предоставлении документации (datasheet) в течение 1–2 дней.

Для компонентов с поддержкой периферийного сканирования вместо функциональных моделей подставляются BSDL-файлы, описывающие JTAGкоманды и регистры для тестирования внешних цепей этих микросхем. Плата JT2156 содержит два таких компонента, BSDL-файлы для которых можно бесплатно загрузить с сайтов компаний Altera и NXP.

После этого подготовительный этап закончен, и система JTAG ProVision готова к созданию тестов. Таким образом, к началу создания тестов и приложений программа досконально знает плату до мельчайших подробностей: какие выводы соединены между собой, напрямую или через связующую логику, где находятся подтягивающие и проходные резисторы, конденсаторы, разъемы (см. рис. 2). JTAG Live Studio после подготовительного этапа содержит информацию только о JTAGкомпонентах платы. Остальное должно нарабатываться в процессе создания приложений.

Создание теста межсоединений

Тест межсоединений устанавливает наличие неисправностей в цепях, примыкающих к компонентам с поддержкой периферийного сканирования. В данную категорию могут входить связи между самими ИМС, поддерживающими сканирование, цепи, имеющие контакт с их выводами, неподключенные и подтянутые на питание или землю выводы, связи с разъемами. Дефекты, которые диагностируются при таком виде тестов автоматически, если



Рис. 1. Тренировочная плата JT2156

| Канланент / | NF вывода | Инавые | ода | Тип кончтонента | Модель | Ограничени | в Примечания 🔺 |
|-----------------------------|--------------|--------------------|-----|--------------------------|----------------------------|---------------------------|--|
| 8-00011 8-0012 ¶ ¶ | A1 A2 | GND(25) VCC(60) | | 74HC04D EP3C16F484C8N | TTL04 EP3C16F484 | Таблица ист Режим Edea | нености Таблица истичности используется t |
| -8 | A3 | IOA3 | 900 | eviceType Manager | | | |
| -8 | AS | KOA5 | | Тип компонента | Onvicance BOM | Кампоненты | Файл нодели |
| lens / | Hower a | Annual MC | 22 | 66 RES_PACK4_14_27_34_45 | | RN1, RN2, RN | generic_passive'vesistorpack_4es_1-8_2-7_3-6_4-5.model |
| -170 A9 | Thereby 6 | HORODER FILL | 23 | db SWITCH_SPNO_1+5_2+4 | | RST, SW2, SW | generic_passive'awtch_spno_1+5_2+4.model |
| -£120 A10 | | | 24 | db TESTPOINT | | TP1, TP2, TP3, | generic_passive'testpoint model |
| 2 PD4 | 6 | | 25 | db KS28041NL | ICD 10EASE-T/100EA | U1 | micrel/ks8041.model |
| -87 012 | G11 | | 26 | db TCN/SAVOA | ICMX 2-Wire Setal Ten | 112 | microchip/ton/%a.model |
| -Efm All | PLZ. | | 27 | MMA7660FCT | ICHX 3 Axis Accelerom | ua 🛛 | freescale'uma 7660.model |
| -12 A12 | | | 28 | 46 LPC2600FET208 | | 114 | runiles like assisten differe 201 hed |
| 3-6720 A13 | | | 29 | 45 LM3525M-L | ICD S C:\BstS2\ProV | sion/models/m | odelib/dreescale/mma7660.model |
| - 2 PM7 | 5 | | 30 | db 74HC040 | ICD HC logic SMT SO1 | US. U11. U14. | generic_logic/dl_04.model |
| - 2 U19 | 18 | | 31 | db ISP1763AHNUM | ICD HI-Speed universal | U7 | st-ericsson'ap 1763a.model |
| -STRO ACCEL_INT | | | 32 | db M25P16 | ICD 19Mbit Serial Rash | UB | st'vn25p16.model |
| fto ALE/ADV_N | | | 33 | db NUP2201MR6-D | DID_TVS_UNI SMT 6V | U9. U10 | on/nup2201.model |
| E-LTRO BAD | | | 34 | eb EP3C16F484C8N | | U12 | altera/ep3c16/484.bod |
| 1 | | | 35 | db ADS7843E | | U13 | ti'ads7843.model |
| lennera | Methodaya | | 36 | 66 NCP56620512R4G | PWR_DCDC GP SMT | U15 | on'mcp5662_adj.model |
| | 1. Subdecine | | 37 | ab 74LVC1G04GW | ICD LVC logic SMT SO | UIG | generic_logic'dl_1g04.model |
| | | | 30 | A TPSKIM | PWR DCDC GP SMT | 1118 | block51100 model |

Рис. 2. Информация о тестируемой/программируемой плате в JTAG ProVision: связи из САПР и модели всех компонентов позволяют автоматизировать анализ и создание тестов



Рис. 3. Визуализация тестового покрытия, достигаемого только лишь тестом межсоединений JTAGкомпонентов

используется JTAG ProVision: обрывы, K3, замыкания с землей и питанием, «перекрутки». На рисунке 3 визуализировано покрытие цепей только лишь тестом межсоединений (без тестов кластеров) для двух JTAG-компонентов платы JT2156: процессора (слева) и ПЛИС (справа). При этом белым цветом выделены цепи и выводы, тестируемые на 100%. Кстати, визуализация — еще одно преимущество систем с подключением данных из САПР, т.к. без названий объектов интеграция тестов или рассчитанного тестового покрытия с рисунком ПП была бы невозможна. Для создания теста необходимо выбрать в программе функцию генерации теста межсоединений. Система проанализирует связи всех JTAG-компонентов, связующую логику между ними, резисторы и т.д., и создаст необходимое количество тестовых векторов с математически рассчитанными необходимыми комбинациями данных для диагностики всех возможных дефектов.

Конечный результат в случае наличия на плате дефектов имеет вид текстового сообщения о типе дефекта (например, КЗ или обрыв) с указанием

| Неисправность(и | Цепь(и) или в | Плата | Цепь | Компонент | Тип вывода ИС | Номер вывода И | Имя вые |
|-----------------|---------------|---------|------|-----------|--------------------------------------|----------------|---------|
| Обрыв цепи | U12-Y10 | #2156_1 | P2_6 | 34 | Веод/выеод | 5 | |
| Обрыв цепи | U4-F3 | | | U4 | Периферийное сканирование Ввод/вывод | E17 | P2_6 |
| Замыкание | P2_6.P2_4 | | | U12 | Периферийное сканирование Ввод/вывод | U11 | IOU11 |
| | | #2156_1 | P2_4 | U4 | Периферийное сканирование Ввод/вывод | D17 | P2_4 |
| | | | | U12 | Периферийное сканирование Ввод/вывод | V9 | IOV9 |
| | | | | | | | |

Рис. 4. Диагностика по результатам теста в JTAG ProVision

названий цепей, выводов компонентов (см. рис. 4). Дефектные цепи можно посмотреть на рисунке печатной платы или схеме с помощью JTAG Visualizer.

Создание теста ОЗУ SDRAM DDR2

С точки зрения периферийного сканирования, ОЗУ является кластером, т.к. сами микросхемы памяти, как правило, не имеют интерфейса JTAG и не поддерживают периферийное сканирование. Для создания теста ОЗУ необходимо выбрать тип приложения Memory Test, а далее, следуя указаниям помощника, выбрать требуемую микросхему памяти (она появляется в списке благодаря определенным библиотечным моделям) (см. рис. 5), после чего тест создастся автоматически. В проекте для платы JT2156 при подготовке уже подставлена библиотечная модель для микросхемы SDRAM MT47H64M8, и имеются связи (из импортированного в проект нетлиста) данного устройства с JTAG-компонентами. Модель содержит всю необходимую информацию для генерации приложения. Система ProVision генерирует для ОЗУ платы JT2156 4564 тестовых вектора, которые последовательно записывают и считывают тестовую информацию, перебирая все адреса.

Диагностика дефектов в случае обнаружения таковых аналогична тесту межсоединений: чаще всего в текстовом сообщении отображается информация о типе дефекта и линиях адреса или данных, где это дефект присутствует.

Следует заметить, что при тестировании микросхем памяти с помощью JTAG Live Studio такой автоматизации нет, но, как будет показано во второй части статьи, написать тест все же можно.

Создание теста кварцевого генератора X1

Тестирование генератора X1 осуществляется путем детектирования изменения уровня сигнала на его выходе с помощью соответствующего компонента с поддержкой периферийного сканирования, на вход которого приходит тактовый сигнал. Сразу оговоримся, что тест с помощью периферийного сканирования не измеряет частоту, а проверяет наличие сигнала. Для измерения частоты контроллер периферийного сканирования должен быть оборудован дополнительными модулями измерения аналоговых характеристик.

При создании теста генератора необходимо выбрать тип приложения Logic Test, после чего тест создастся автоматически. В библиотеке ProVision существует стандартная модель для кварцевого генератора в корпусе SMD на четыре вывода (см. рис. 6). Модель содержит тестовую последовательность с необходимым количеством (2000) сэмплов активности. Генерация теста производится автоматически.

Тест генератора можно выполнить и другим способом — с помощью встроенного в JTAG ProVision языка программирования Python. В JTAG Live Studio такая проверка проводится исключительно с помощью Python, который в этой программе является основным средством разработки.

| 🗿 🔵 🗢 🕌 « models I | modellib + generic_logic + | ← Πουck: generic_log | lic | |
|----------------------|---------------------------------------|----------------------|--------------|---|
| Упорядочить 👻 🗋 С | ткрыть Записать на оптический диск | Новая папка | H • 🔳 | 1 |
| | Имя | Дата изменения | Тип | |
| Загочтки | ecl_100331.model | 29.03.2011 20:24 | Файл "MODEL" | |
| П Недавние мест | ecl_100351.model | 29.03.2011 20:24 | Файл "MODEL" | |
| Рабочий стол | ecl_el14.model | 10.05.2010 19:38 | Файл "MODEL" | |
| Dronbox E | ecl_ep14.model | 30.12.2010 16:52 | Файл "MODEL" | |
| · ···· | ecl_ep131.model | 31.03.2011 12:50 | Файл "MODEL" | |
| 🚍 Библиотеки | oscillator.model | 10.11.2011 16:55 | Файл "MODEL" | |
| Видео | oscillator_active_high_oe.model | 10.11.2011 16:55 | Файл "MODEL" | |
| Документы | oscillator_active_low_oe.model | 10.11.2011 16:55 | Файл "MODEL" | |
| Изображения | ttl_00.model | 25.10.2011 20:17 | Файл "MODEL" | |
| 👌 Музыка | ttl_1g00.model | 14.03.2013 19:37 | Файл "MODEL" | |
| | ttl_1g02.model | 14.03.2013 19:37 | Файл "MODEL" | |
| 🔧 Домашняя групг – 🔹 | · · · · · · · · · · · · · · · · · · · | | | - |

Рис. 6. Выбор модели для генератора из библиотеки, установленной с JTAG ProVision

| lean : | | ы ##2156_1 |
|---------------|---|---------------|
| The TPM | | #2156_1 |
| 1 100 22155 1 | 1 | agitz 100_1 |

Рис. 5. Создание теста ОЗУ DDR II SDRAM: после выбора кристалла памяти генерация тестовых векторов происходит автоматически

Программирование в ProVision используется только в тех случаях, когда кластер не является однозначным, т.е. не дает на 100% определенный отклик на воздействие: это могут быть АЦП и МЭМС, а также датчики.

Создание теста Ethernet приемопередатчика KSZ8041

Для создания теста приемопередатчика KSZ8041 необходимо, как и в предыдущем примере, выбрать тип приложения Logic Test, затем выбрать из списка доступных логических кластеров KSZ8041, после чего тест создастся автоматически. Как и в предыдущих примерах, готовая модель содержит тестовые последовательности для шины данных данного устройства. Система ProVision генерирует для РНҮ платы JT2156 1841 тестовый вектор. Устанавливаются различные физические адреса устройства, при этом считывается ID-код.

Подобно описанным выше методикам, в JTAG ProVision с помощью генерации создаются тесты и других кластеров (например, флэш-памяти) на основе готовых моделей. Библиотечные модели имеются и на устройства I2С, и USBконтроллер, но мы не будем перегружать статью. В отличие от ProVision, в JTAG Live Studio тесты цифровых кластеров создаются пользователем в виде скриптов на языке Python, для чего необходимо изучить их работу по документации и инструкциям пользователя.

Благодаря моделям программирование таких устройств как флэшпамять в JTAG ProVision становится безболезненным и быстрым процессом. Поскольку модель уже содержит алгоритм работы ПЗУ, достаточно добавить к приложению прошиваемые данные и нажать кнопку генерации. JTAG Live Studio позволяет написать скрипт управления флэш-памятью, но собственно процесс отладки приложения займет изрядное количество времени, а скорость программирования будет зависеть от оптимальности составленного алгоритма. При этом она, несомненно, будет низкой.

Создание тестовой последовательности

Кульминация процесса разработки приложений тестирования и программирования — это создание тестовой последовательности. Необходимо в определенном порядке запустить по очереди тест межсоединений, тесты кластеров, приложения программирования флэш-памяти и ПЛИС и добавить при необходимости окна с предупреждениями для оператора.

В JTAG ProVision последовательности приложений составляются в специальном секвенсоре. На рисунке 7 приведен пример последовательности для платы JT2156. Созданные ранее приложения из области отладки (она на рисунке слева) перетаскиваются с помощью мыши в рабочую область. Для каждого из приложений можно выбрать опции, позволяющие, например, показать в итоговом отчете (который отображается в нижней части рисунка) результаты диагностики с расшифровкой, установить, что делать, если тест или приложение не проходит, и т.д.

Файлы с готовыми последовательностями передаются в автономное производство, где для их запуска требуется контроллер и лицензия только на секвенсор. В JTAG Live Studio, в отличие от ProVision, создание про-

| 🔨 🚅 🔒 🕼 🖉 🗙 | | 新新新 新 新 新 新 学 学 | ケル目目も多な |
|---------------------|---|-------------------------|----------------------------|
| | 0223 6 A & 6 6 6 6 9 | 世界的派袖外围 | S S I |
| (*1 | | | er. [] es. [] er es [] = |
| Unana / | Nº Tien Onepaujes | Свойство Пункт | Показать Статус |
| Andreting 1 | 1 Minterconnect Test Test Infrastructure | Interconnect | Status Passed |
| Popication_1 | 2 Minterconnect Test Execute Test | Interconnect | Diagnostics on Fall Falled |
| TT Phomet 111 | 3 107 Memory Test Execute Test | U19 Memory DDR | 2 Status Passed |
| M Interconnect | 4 10 Logic Test Execute Test | Logic X1 | Satur Fold |
| • The Logic U2 | 5 10 Loois Test Execute Test | Bhenet U1 | Sahus Passed |
| Di Logic U3 | 6 10 Logic Test Execute Test | 1158 117 | Onton Damad |
| • Togic_U13 | o es concileres concileres | 038_07 | Contrast Passed |
| Di Logic X1 | | | - |
| US_EEPROM_test | П Идентифиясация единицы | | |
| U19_Memory_DDR2 | Censilveuil vomen: Unit 0000 | Dane | a: Batch 0000 |
| U19_dff | | 1.00 | a. Inservered |
| USB_U7 | Banarem | | M |
| | | Here 1 | |
| | | ner: [1 | |
| | | © Успешно | |
| | | Неудачно | |
| | | © Ошибка | |
| 느 신 | Последовательность С Одиночное приложение | G 3aHRT: Logic U2 | |
| 🍅 😵 📲 () | | | |
| | | | |
| Неисправность: обры | цепи | | |
| плата цель Зн | ачение вывода ИС Компонент Тип вывода | 12 868 | AL MAR BUBOAR |
| | | | |
| jt2156_1 P3_29 - | U4 Периферийное скан | ирование Ввод/вывод F3 | P3_29 |
| 1 | U12 Периферийное скан | ирование Ввод/вывод У10 | 10710 |
| | | | |
| Неисправность: коро | кое замыкание | | |
| Плата Цепь | Компонент Тип вывода | 18 858 | ода Имя вывода |
| Одиночная цель | ,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,, | | |
| denere a mare | HA Resubernations Party | manager frage frage | nn / |

Рис. 7. Запуск готовых тестов в JTAG ProVision и отображение результатов

изводственных последовательностей не автоматизировано — они создаются, как и большинство тестов, в виде скрипта на языке Python. Это и понятно, ведь Studio изначально задумывался не как «производственный» пакет, а лабораторный. Во второй части этой статьи, которая выйдет в следующем номере «Электронных компонентов», мы расскажем, как описанные задачи решаются в JTAG Live Studio, и подведем итоги, сравнив характеристики JTAG ProVision и JTAG Live Studio.